

J.V.VALE NETO*

SUMÁRIO

Neste artigo será apresentado o projeto de um circuito "Detetor de Transição". Este é um circuito que gera um pulso para cada variação em sua entrada ($0 \rightarrow 1$ ou $1 \rightarrow 0$).

Será mostrado como calculamos as dimensões de seus transistores. Através da análise de seus pontos críticos (pontos que podem comprometer o funcionamento do circuito) mostraremos que o circuito funcionará mesmo com variação de parâmetros (mobilidade e tensão de limiar).

Será mostrado, também, a simulação dinâmica do circuito.

Este circuito é parte do projeto de uma ROM-2K bits CMOS, que foi fabricada no LME-USP, no qual foi verificado o seu funcionamento.

ABSTRACT

In this paper is presented the design of a "Transition Detector". This circuit will generate a pulse when a transition occurs in this input ($0 \rightarrow 1$ or $1 \rightarrow 0$). It will be shown how the transistor dimensions were calculated. We will show that the circuit will operate properly even when occurring parameter variation (mobility and threshold voltage) through analysis of the circuit critical points (which can cause circuit malfunction).

We will show the circuit dynamic simulation.

This circuit is a part of the project of a ROM-2Kbits CMOS, that was built in LME-USP, where its performance has been verified.

- * . Engenheiro Eletricista, Escola Politécnica da USP, 1978.
- . Bacharel em Física, Instituto de Física da USP, 1982.
- . Mestre em Engenharia Elétrica, Escola Politécnica da USP, 1983.

Laboratório de Microeletrônica da Escola Politécnica da USP
Caixa Postal 8174 - 01000 - SÃO PAULO - SP
fone: (011) 815.93.22 ramal 310

INTRODUÇÃO

Neste trabalho será apresentado o projeto e as simulações de um circuito "Detetor de Transição" em CMOS.

Este circuito é uma das partes de uma ROM-2Kbits {1} (256x8) que foi fabricada no LME-USP.

Cada uma das oito entradas da ROM contará com um deste circuito.

A função deste circuito é gerar um pulso para cada variação de entradas da ROM (0-1 ou 1-0), este pulso será usado pela unidade de controle para iniciar um ciclo pré-carga/leitura que atualizará as saídas da ROM.

PROJETO

Na figura 1 mostramos o esquema simplificado do detetor de transição, este esquema será usado apenas para vermos o funcionamento do circuito.

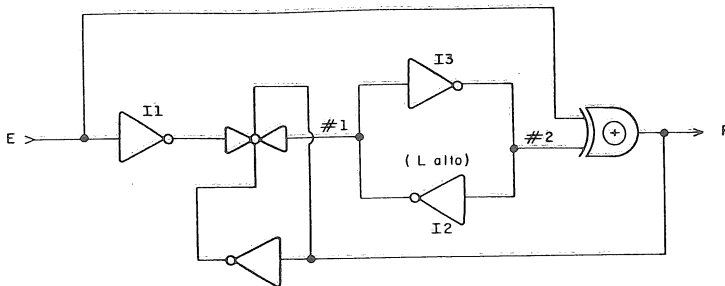


Figura 1 - Esquema simplificado do Detetor de Transição

Seu funcionamento vem a ser o seguinte:

- em condições estáveis a saída P estará em zero e o "gate de transmissão" estará não conduzindo, sendo que a tensão no nó 2 será igual a da entrada (E) ;
- ocorrendo uma transição na entrada (E), a tensão no nó 2 será (evidentemente) diferente da tensão de entrada (E) o que fará com que a saída P vá a "um" ;
- sendo a "um" fará com que o "gate de transmissão" conduza. Tendo o inversor I2 sido projetado "fraco" em relação ao sistema inversor I1 e "gate de transmissão", este imporá sua tensão no nó 1, fazendo isto, a ten

são no n^o 2 voltará a ser igual a da entrada (E) e será sustentada pelo biestável composto pelos inversores I2 e I3; com isto a saída P voltará ao nível "zero" encerrando assim o pulso e o "gate de transmissão" deixará de conduzir, e, com isto o sistema voltará a condição estável até uma próxima transição.

É importante notar que: havendo uma transição na entrada (E) o circuito só voltará a condição estável após acontecer um pulso na saída P, isto torna esta implementação bastante segura em relação a taxa de variação da entrada (E) com o tempo.

O esquema completo deste circuito (como foi implementado) é mostrado na figura 2, uma fotografia na figura 3 e a dimensão dos transistores na tabela 1. Seu funcionamento é o mesmo exposto acima, apenas teremos algumas pequenas sofisticacões (em relação ao esquema simplificado) tais como: o diodo de proteção da entrada (T0) e o inversor na entrada (para minimizar a margem de ruído).

Transistores	TIPO	L(m)	W(m)	AD(m**2)	AS(m**2)	PD(m)	PS(m)
T0, T1, T4, T8, T10, T14, T16, T18, T21, T25, T28	N	6U	50U	256P	1P	64U	124U
T3, T22, T26	N	6U	200U	1248P	1P	188U	1U
T12	N	16U	88U	256P	1P	188U	1U
T2	P	6U	100U	560P	200P	108U	200U
T5	P	6U	132U	1008P	1P	132U	184U
T6	P	6U	254U	1728P	1P	248U	1U
T7, T13, T15, T17, T20, T24	P	6U	50U	256P	1P	64U	124U
T9, T27	P	6U	116U	816P	1P	116U	1U
T11	P	16U	88U	256P	1P	64U	1U
T19, T23	P	6U	200U	1248P	1P	188U	1U

Tabela 1 - Dimensões dos transistores do detetor de transição

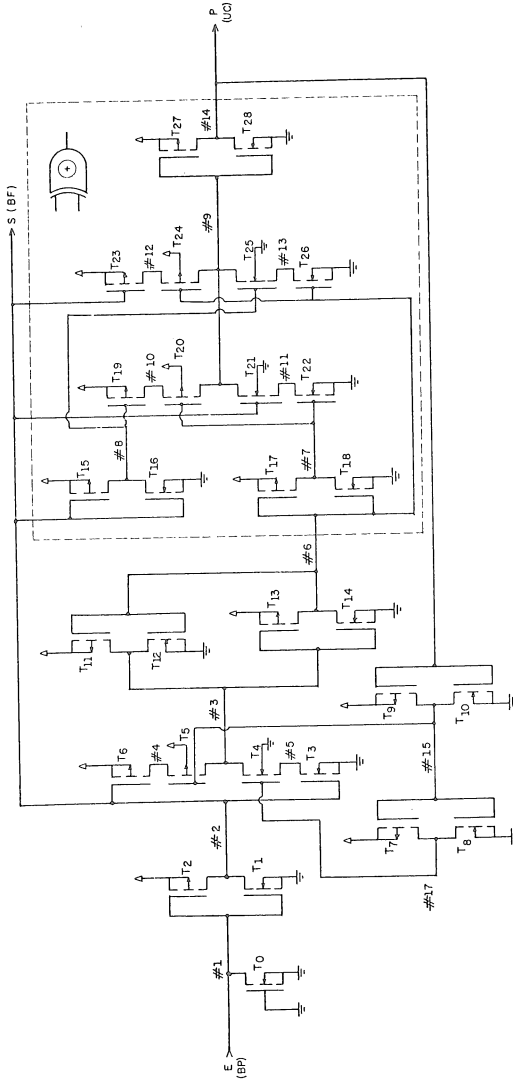


Figura 2 - Esquema do Detetor de Transição

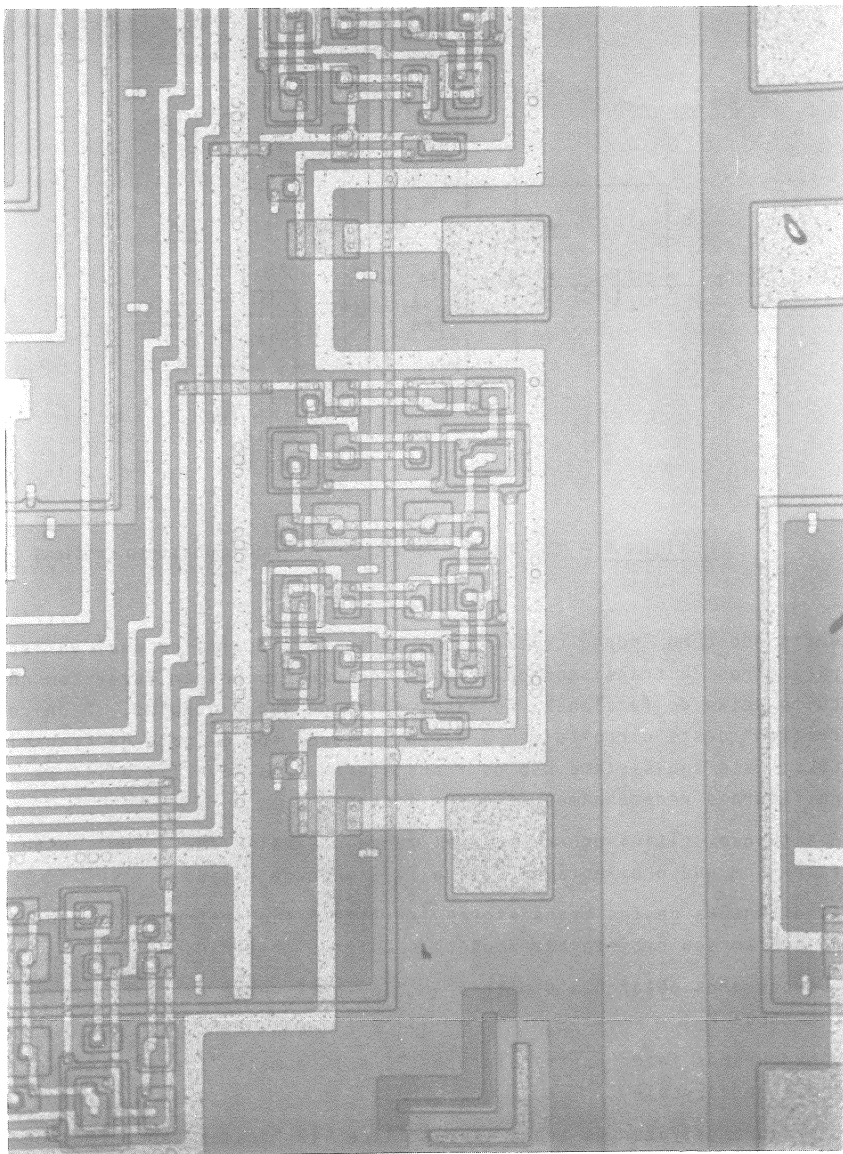


Figura 3 - Fotografia do Detetor de Transição

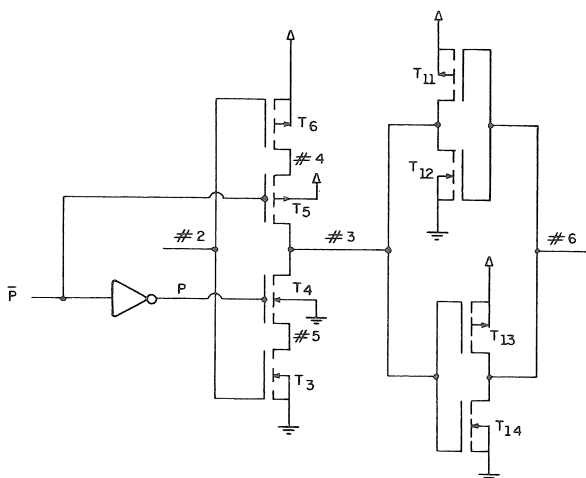


Figura 4 - Sub-Sistema do Detetor de Transição (ponto crítico)

Definindo como "ponto crítico" uma parte do circuito na qual variações nos parâmetros do transistor ou erro em seu projeto possam fazer com que o circuito deixe de funcionar, no caso, deixe de gerar o pulso. O único "ponto crítico" deste circuito vem a ser bi-estável com o "gate de transmissão" CCL. Este sub-sistema são os transistores T3 a T6 e T11 a T14 da figura 2, na figura 4 redeseenhámos este sub-sistema.

A situação crítica ocorre quando: tendo o sinal P ido a "um", este deverá fazer com que o bi-estável (T11 a T14) mude de estado.

As dimensões destes transistores "críticos" são mostrados na Tabela 1, sendo que em seu projeto adotamos os seguintes critérios:

- . procuramos obter uma simetria no "lay-out" entre os transistores canal N e canal P ;
- . procuramos fazer os transistores T3 a T6 o mais "forte" possíveis em termos de corrente ;
- . procuramos fazer os transistores T11 e T12 "fracos" em termos de corrente (L alto).

a) Transição da entrada E de "um" a "zero".

Neste caso, quando o sinal P for de "zero" a "um" (fazendo conduzir os transistores T4 e T5) o circuito se encontrará no seguinte estado: os nós 2 e 3 estarão em "um" e o nó 6 em "zero". Logo, podemos ver que: os transistores T3 e T4 passarão a conduzir "concorrendo" com o transistor T11, isto deve fazer com que a tensão no nó 3 caia. Devemos projetar o circuito de maneira a que a queda da tensão do nó 3 faça com que a tensão do nó 6 comece a subir (através do inversor formado por T13 e T14), esta tensão começando a subir fará com que o transistor T11 fique mais "fraco" (devido a queda em seu V_{gs}), isto fará com que a tensão no nó 3 caia mais e a tensão no nó 6 suba mais, sendo que esta realimentação se encarregará de acabar de inverter o bi-estável.

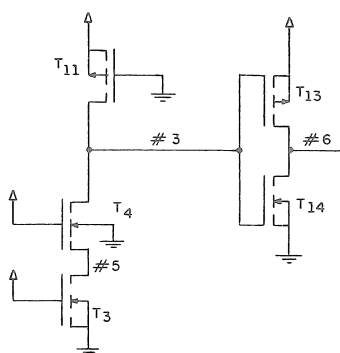


Figura 5 - Representação da situação crítica (a) do Detetor de Transição

Na figura 5 temos o esquema da situação exposta, sendo que cortamos a realimentação do nó 6 para a porta do transistor T11. Diremos que o circuito funcionará se a tensão do nó 6 for maior que 10% de V_{cc} .

Com os valores da Tabela 1 simulamos o circuito e obtivemos $V_3 = 0,36 \text{ V}$ e $V_6 = 5,00 \text{ V}$, o que garante o funcionamento deste circuito.

Como este é um ponto crítico, também fizemos simulações permitindo variação de $\pm 20\%$ nos parâmetros mobilidade e tensão de limiar dos transistores (com o objetivo de prever cargas no óxido e variação de temperatura). Tendo em vista estas variações, a situação de pior caso será a que tornar mais "forte" os transistores canal P e mais "fraco" os transistores canal N: logo

$V_{TN} = 1,54 \text{ V}$ - variamos em + 20%
 $\mu_n = 656 \text{ cm}^2/\text{V/s}$ - variamos em - 20%
 $V_{TP} = - 0,8 \text{ V}$ - variamos em - 20%
 $\mu_p = 312 \text{ cm}^2/\text{V/s}$ - variamos em + 20%

Com isto obtivemos $V_3 = 0,69 \text{ V}$ e $V_6 = 5,00 \text{ V}$, o que indica que este circuito funcionará mesmo com estas variações de parâmetros.

b) Transição da entrada de "zero" a "um".

Neste caso, quando o sinal P for de "zero" a "um" o circuito se encontrará no seguinte estado: os nós 2 e 3 estarão em "zero" e o nó 6 em "um". Logo, os transistores T5 e T6 passarão a conduzir "concorrendo" com T12, isto fará com que a tensão no nó 3 comece a subir. Devemos projetar o circuito de maneira a que a "subida" na tensão do nó 3 seja suficiente para fazer com que a tensão no nó 6 comece a cair. A queda desta tensão fará com que o transistor T12 fique mais "fraco" (devido a queda em V_{gs}), isto fará com que a tensão no nó 3 suba mais e a tensão no nó 6 desça mais, até que o bi-estável mude de estado.

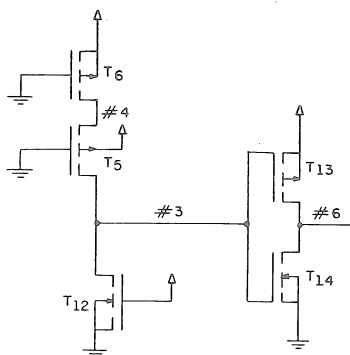


Figura 6 - Representação da situação crítica (b) do Detetor de Transição

A situação exposta é mostrada na figura 6 (podemos notar a semelhança com o caso anterior), também aqui cortaremos a realimentação do nó 6 para a porta do transistor T12, para fazermos os nossos cálculos. Neste caso, diremos que o circuito funcionará se a tensão no nó 6 for menor que 90% de V_{cc} , pois a realimentação se encarregará do resto da transição.

Fizemos as simulações deste sistema e obtivemos $V_3 = 4,01 \text{ V}$ e $V_6 = 0,00 \text{ V}$, que satisfazem as nossas condições de funcionamento.

Aqui também fizemos simulações permitindo variações de $\pm 20\%$ na tensão de limiar e na mobilidade dos transistores, sendo que a situação de pior caso é a que tornará mais forte os transistores canal N e mais fraco os transistores canal P, exposta a seguir:

$V_{TN} = 1,02 \text{ V}$ - variamos em $- 20\%$

$\mu_n = 984 \text{ cm}^2/\text{V/s}$ - variamos em $+ 20\%$

$V_{TP} = -1,2 \text{ V}$ - variamos em $+ 20\%$

$\mu_p = 208 \text{ cm}^2/\text{V/s}$ - variamos em $- 20\%$

Com isto obtivemos $V_3 = 2,77 \text{ V}$ e $V_6 = 0,11 \text{ V}$, o que indica que o circuito deve funcionar.

SIMULAÇÃO DINÂMICA

As cargas vista pelo circuito são mostradas na figura 7. Estas cargas foram obtidas levando em conta as capacitâncias da metalização de interconexão entre os blocos, as capacitâncias das portas que o canal alimentará e as capacitâncias e resistências das interconexões de silício policristalino (representação L1).

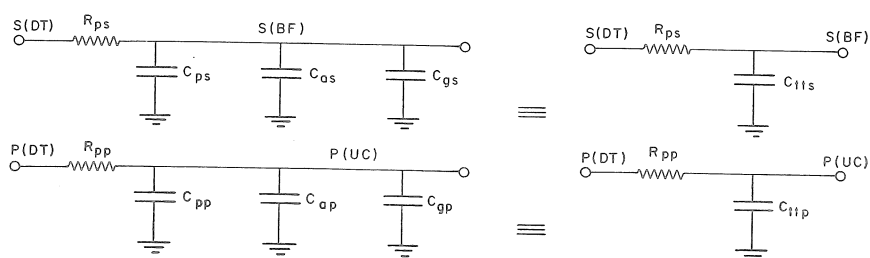


Figura 7 - Cargas vistas pelas saídas do Detetor de Transição

Na figura 7 teremos:

- R_{pp} e R_{sp} - resistência de tira de interconexão de silício policristalino ;
- C_{pp} e C_{ps} - capacitância da tira de interconexão de silício policristalino ;

- . C_{ap} e C_{as} - capacitância da linha de alumínio ;
- . C_{gp} e C_{gs} - capacitância das portas que o sinal alimentará.

Por exemplo o nosso bloco de entrada DET7 tem as seguintes cargas na saída S :

- . tira de silício policristalino de $58 \times 14 \text{ um}^2$, como a resistência por quadrado do Si-Poli é de 50 oh (Tabela 3.1) temos $R_{sp} = (58 \cdot 2 \cdot 7) \cdot 50 / 14 = 157 \text{ oh}$, e $C_{sp} = 58 \cdot 14 \cdot 3,38 \cdot 10^{-4} = 0,27 \text{ pF}$ (TOX e de 1 e-7m logo $C_{ox} = E_{ox} / TOX = 3,38 \cdot 10^{-13} / 1 \cdot 10^{-5} \text{ F/cm}^2 = 3,38 \cdot 10^{-4} \text{ pF/um}^2$;
- . tira de alumínio de $375 \times 10 \text{ um}^2$, logo $C_{ap} = 375 \cdot 10 \cdot 4,83 \cdot 10^{-5} = 0,18 \text{ pF}$ (pois $C_{0es} = E_{ox} / TO_{ex} = 4,83 \cdot 10^{-5} \text{ pF/um}^2$) ;
- . as áreas dos transistores de entrada de BF são $A = (36 \cdot 26 - 14 \cdot 14 + 26 \cdot 60 - 14 \cdot 40) = 1740 \text{ um}^2$ logo $C_{gs} = 1740 \cdot 3,38 \cdot 10^{-4} = 0,59 \text{ pF}$.

Com este procedimento calculamos todas as nossas outras cargas e, por isto, obtivemos a Tabela 2 (saída B) e a Tabela 3 (saída P).

BLOCO	TIRA SP (um**2)	R_{ps} (oh)	C_{ps} (pF)	TIRA AL (um**2)	C_{as} (pF)	PORTA (um**2)	C_{gs} (pF)	C_{tts} (pF)
DET0	58*14	157	0,27	3995*10	1,93	1740	0,59	2,79
DET1	58*14	157	0,27	3494*10	1,69	1740	0,59	2,55
DET2	58*14	157	0,27	2889*10	1,40	1740	0,59	2,26
DET3	58*14	157	0,27	2411*10	1,16	1740	0,59	2,02
DET4	58*14	157	0,27	1853*10	0,90	3220	1,09	2,26
DET5	58*14	157	0,27	1295*10	0,63	1740	0,59	1,49
DET6	58*14	157	0,27	837*10	0,40	1740	0,59	1,26
DET7	58*14	157	0,27	375*10	0,18	1740	0,59	1,04

Tabela 2 - Cargas da saída S do Detetor de Transição de acordo com a figura 3.13

BLOCO	TIRA SP (um**2)	R_{pp} (oh)	C_{pp} (pF)	TIRA AL (um**2)	C_{ap} (pF)	PORTA (um**2)	C_{gp} (pF)	C_{ttp} (pF)
DET0	58*14	157	0,27	2527*10	1,22	2012	0,68	2,17
DET1	74*14	214	0,35	2375*10	1,15	1480	0,50	2,00
DET2	90*14	271	0,43	1933*10	0,93	2012	0,68	2,04
DET3	106*14	329	0,50	1638*10	0,79	1480	0,50	1,79
DET4	122*14	386	0,58	1225*10	0,59	2012	0,68	1,85
DET5	138*14	443	0,65	667*10	0,32	1480	0,50	1,47
DET6	154*14	500	0,73	329*10	0,15	2012	0,68	1,57
DET7	170*14	557	0,80	791*10	0,38	1480	0,50	1,68

Tabela 3 - Cargas de saída P do Detetor de Transição de acordo com a figura 3.13

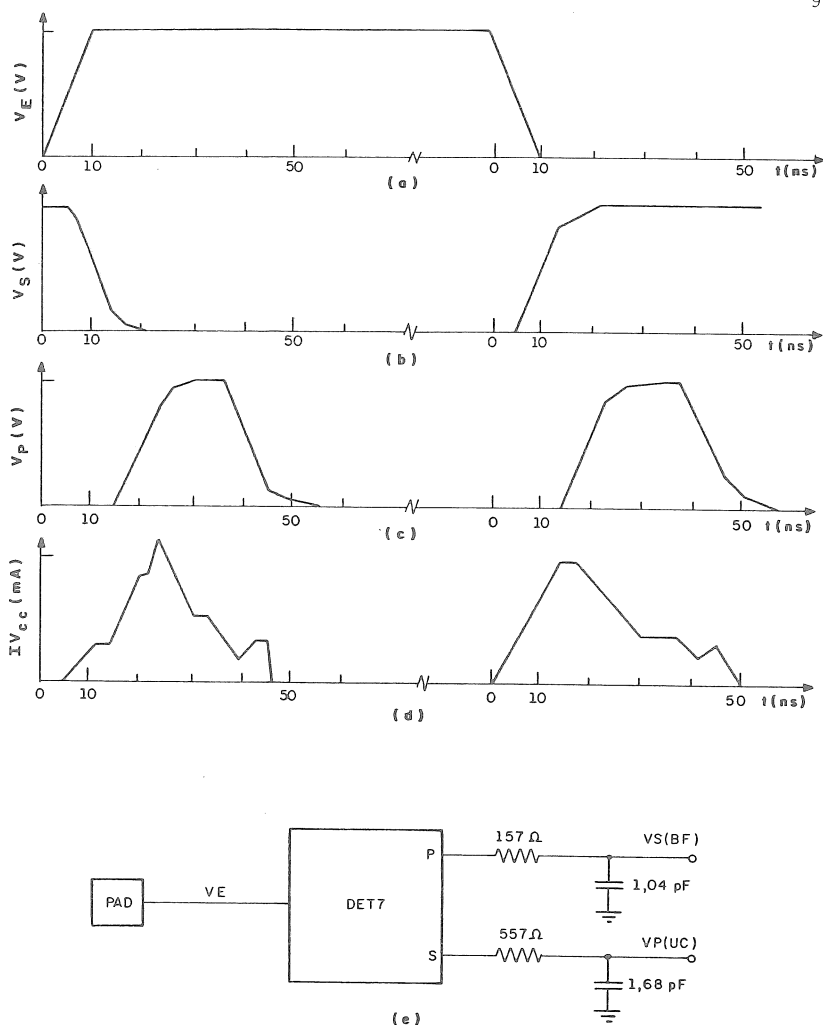


Figura 8 - Simulação do Detetor de Transição no domínio do tempo

- a) Tensão de entrada VE (plano de contato)
- b) Tensão de saída VS (vai para BF)
- c) Pulso VP (vai para UC)
- d) Corrente de fonte (IV_{cc})
- e) Esquema usado

Simulamos este circuito no SPICE-II-G5 com as cargas do DET7 e com tensões de entrada (vindas do plano de contato) indo de 0V a 5V e de 5V a 0V em 10 ns (10 nano-segundo) e obtivemos as configurações de tempo mostradas na figura 8.

Por esta figura podemos ver que a largura de nosso pulso (definido nos pontos de 2,5V) será de 20 ns e 23 ns para transição da entrada de 0V a 5V e de 5V a 0V.

A carga consumida será de aproximadamente 40 pC por variação da entrada. Esta carga é a integral da corrente de fonte com o tempo e será usada para o cálculo da potência consumida.

BIBLIOGRAFIA

{1} VALE NETO, José Vieira - Tese de Doutorado em andamento no LME-USP.